

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 2 月 1 7 日  
Date of Application:

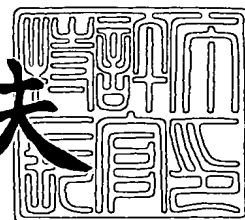
出 願 番 号                      特 願 2 0 0 2 - 3 6 5 6 3 4  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 6 5 6 3 4 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年    9 月 2 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 7 8 7 8 8

【書類名】 特許願

【整理番号】 0241122

【提出日】 平成14年12月17日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明の名称】 半導体記憶装置

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 吉田 勝哉

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100090273

    【弁理士】

    【氏名又は名称】 國分 孝悦

    【電話番号】 03-3590-8901

【手数料の表示】

    【予納台帳番号】 035493

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 外部から入力される入力信号に応じてメモリセルを選択駆動し、データを出力または入出力する半導体記憶装置であって、

互いに隣り合うように配置された複数のダミービット線及び複数のビット線を有し、上記複数のダミービット線に互いに異なるダミーメモリセルがそれぞれ接続され、上記複数のビット線に互いに異なる上記メモリセルがそれぞれ接続されたメモリセルアレイと、

上記ビット線に接続されたメモリセルを選択して駆動する際、上記複数のダミービット線を介して供給される信号に基づいて駆動動作のタイミングを制御するタイミング制御回路とを備えることを特徴とする半導体記憶装置。

【請求項 2】 上記メモリセルアレイは、任意の上記ビット線よりも上記タイミング制御回路に対して近接する位置に上記複数のダミービット線が隣り合って配置されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 上記メモリセルアレイは、任意の上記ビット線よりも上記タイミング制御回路に対して遠隔な位置に上記複数のダミービット線が隣り合って配置されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】 上記メモリセルアレイは、上記複数のダミービット線が隣り合って配置されているとともに、上記隣り合って配置された複数のダミービット線の両側に上記複数のビット線が配置されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】 上記メモリセルアレイは、上記複数のダミービット線が 2 組に分けられ、任意の上記ビット線よりも上記タイミング制御回路に対して近接する位置及び遠隔な位置に、それぞれの組のダミービット線が隣り合って配置されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 6】 上記メモリセルアレイは、上記複数のダミービット線が略同数のダミービット線の複数の組に分けられ、それぞれの組にてダミービット線が隣り合って配置されているとともに、複数のダミービット線の組が所定の間隔で

配置されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 7】 上記メモリセルアレイを複数備えることを特徴とする請求項 1 ～ 6 の何れか 1 項に記載の半導体記憶装置。

【請求項 8】 上記複数のダミービット線を直列に接続したことを特徴とする請求項 1 ～ 7 の何れか 1 項に記載の半導体記憶装置。

【請求項 9】 上記タイミング制御回路は、上記複数のダミービット線の一端がそれぞれ入力端子に接続され、上記複数のダミービット線を介して供給される信号の変化に応じて出力信号の信号レベルを反転する論理演算回路を有することを特徴とする請求項 1 ～ 7 の何れか 1 項に記載の半導体記憶装置。

【請求項 1 0】 上記ダミーメモリセル及び上記メモリセルは、2 つのインバータ回路をそれぞれ有し、上記メモリセルが有する 2 つのインバータ回路は、入力端子と出力端子とがそれぞれ互いに交差結合され、上記ダミーメモリセルが有する 2 つのインバータ回路は、入力端子が所定の電圧を供給する電源に対してそれぞれ接続され、出力端子が異なるダミービット線にそれぞれ接続されていることを特徴とする請求項 1 ～ 7 の何れか 1 項に記載の半導体記憶装置。

#### 【発明の詳細な説明】

##### 【 0 0 0 1 】

#### 【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、動作タイミングの制御を内部で行うセルフタイミング型の半導体記憶装置に用いて好適なものである。

##### 【 0 0 0 2 】

#### 【従来の技術】

従来、S R A M (static random access memory) 等の半導体メモリにおいては、製造工程にて生ずるプロセスばらつき（メモリマクロ内のばらつきやトランジスタの隣接ばらつき等）が半導体メモリの動作に影響を及ぼすことがあった。

上記プロセスばらつきが半導体メモリの動作に及ぼす影響を緩和する方法として、十分なタイミングマージンを持たせた固定の動作タイミングで半導体メモリを動作させる方法が考えられるが、半導体メモリの高速動作を阻害してしまう。

##### 【 0 0 0 3 】

そこで、例えば特許文献1、特許文献2に記載されているように、ダミーメモリセルが接続されたダミービット線対を設け、ダミービット線対を用いて動作タイミングを内部制御することにより、上記問題の解決を図った半導体メモリがあった。上記半導体メモリは、「セルフタイミング型メモリ」と呼ばれ、動作速度の低下を抑制しながらも、プロセスばらつきが動作に及ぼす影響を緩和することができた。

#### 【0004】

図8は、従来のセルフタイミング型メモリの構成を示すブロック図である。図8において、81は複数のメモリセルで構成されたメモリセルアレイ、83はデコーダ、84はリード／ライトアンプ、85はタイミング制御回路である。メモリセルアレイ81は、1組のダミービット線（1つのダミービット線対）に接続されたダミーメモリセルからなるダミーメモリセル列82を端部に有している。

#### 【0005】

例えば、アドレス信号等を含む入力信号INSが外部から入力され、メモリセルに記憶されたデータの読み出しが要求されると、タイミング制御回路85は、入力信号INSに基づいて、メモリセルを選択するためのアドレス情報を含む制御信号CTLAをデコーダ83に出力する。また、タイミング制御回路85は、センスアンプ活性化信号を含む制御信号CTLBをリード／ライトアンプ84に出力する。

#### 【0006】

デコーダ83は、供給される制御信号CTLAに従い、ワード線WL<sub>m</sub>（mは添え字であり、mは自然数）を選択的に活性化する。これにより、活性化されたワード線WL<sub>m</sub>により選択されたメモリセルの作用によりビット線対BL<sub>n</sub>、／BL<sub>n</sub>（nは添え字であり、nは自然数）の電位が変化する。ここで、ビット線／BL<sub>n</sub>は、ビット線BL<sub>n</sub>に対して相補のビット線である。

#### 【0007】

さらに、リード／ライトアンプ84は、供給される制御信号CTLBに従い、内部に備える図示しないセンスアンプを活性化して、ビット線対BL<sub>n</sub>、／BL<sub>n</sub>に読み出された電位を増幅しデータDTとして外部に出力する。

**【 0 0 0 8 】**

上述したような動作においてセルフタイミング型メモリでは、ダミーメモリセルが接続された1つのダミービット線対により供給される信号D Sに基づいて、ワード線W L mを駆動するタイミングを制御したり、リード／ライトアンプ8 4内のセンスアンプを活性化させるタイミングを制御したりする。

**【 0 0 0 9 】**

例えば、供給される信号D Sによりダミービット線対における電位が所定の電位に達したと判断すると、活性化したセンスアンプ活性化信号を出力しリード／ライトアンプ8 4内のセンスアンプを活性化させる。また、例えば、ダミービット線対における電位が所定の電位に達して所定期間が経過した後に、活性化されているワード線W L mを非活性化し、すべてのワード線W L mを非活性化状態にする。

**【 0 0 1 0 】****【特許文献1】**

特開平 7 - 9 3 9 7 2 号公報

**【特許文献2】**

特開平 1 1 - 3 3 9 4 7 6 号公報

**【 0 0 1 1 】****【発明が解決しようとする課題】**

ここで、従来のセルフタイミング型メモリにおいては、上記図 8 に示したようにダミーメモリセルが接続されたダミービット線対は1つのみ設けられていた。また、近年、半導体メモリにおいては、高性能化の要求に応じた記憶容量の大容量化やプロセステクノロジーの微細化に伴い、プロセスばらつきが半導体メモリの動作に及ぼす影響が大きくなってきている。

**【 0 0 1 2 】**

そのため、従来のセルフタイミング型メモリのように1つのダミービット線対を用いて半導体メモリにおける動作タイミングの制御を行うと、半導体メモリ内のプロセスばらつきが大きいとともに任意（ランダム）に分布するので、プロセスばらつきが動作に及ぼす影響を緩和できず、プロセスばらつきによる影響が

大きく現れてしまうおそれがあった。

#### 【0 0 1 3】

特に、多数のビット線対を有し、かつ各ビット線対に接続されているメモリセルの数に比べてダミービット線対に対して作用するダミーメモリセルの数が著しく少ない（例えば2つ等）の場合には、1つのダミービット線対のみを用いてプロセスばらつきが動作に及ぼす影響を確実に緩和することは非常に困難である。

#### 【0 0 1 4】

本発明は、このような問題に鑑みて成されたものであり、プロセスばらつきが半導体記憶装置の動作に及ぼす影響をさらに緩和して、半導体記憶装置における動作タイミングを適切に制御できるようにすることを目的とする。

#### 【0 0 1 5】

##### 【課題を解決するための手段】

本発明の半導体記憶装置は、互いに異なるダミーメモリセルが接続された複数のダミービット線とメモリセルが接続された複数のビット線とを有するメモリセルアレイと、駆動動作のタイミングを制御するタイミング制御回路とを備える。複数のダミービット線より供給される信号に基づいて、タイミング制御回路が駆動動作のタイミングを制御し、上記ビット線に接続されたメモリセルを選択駆動する。これにより、メモリセルアレイ内の複数の位置におけるプロセスばらつきの影響を抽出し、プロセスばらつきが半導体記憶装置の動作に及ぼす影響をさらに緩和することができるようになる。

#### 【0 0 1 6】

##### 【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

##### （第1の実施形態）

図1は、本発明の第1の実施形態による半導体記憶装置の一構成例を示すブロック図である。なお、以下の説明では、半導体記憶装置としてSRAM（static random access memory）を一例に示し、メモリセルアレイ内にてビット線が延びる方向を「列」とする。また、ビット線（ダミービット線を含む。）の符号にて付す“/”は、相補のビット線（ダミービット線）であることを示す。

## 【0017】

図1において、11は複数のメモリセルを有するメモリセルアレイであり、上記複数のメモリセルは例えばマトリクス状に配置されている。メモリセルアレイ11は、2つのダミーメモリセル列12、13を有している。ダミーメモリセル列12、13は、後述するタイミング制御回路16に対して最も近くなるように隣り合って配置される（以下、隣り合わせて配置することを「併設する」と称す。）。つまり、ダミーメモリセル列12、13は、ダミーメモリセル列12、13とは異なる他のメモリセル列（以下、単に「メモリセル列」とも称す。）と比較してタイミング制御回路16に接続するための配線長が短くなるように配置される。

## 【0018】

ダミーメモリセル列12内のダミーメモリセルは、1組のダミービット線（1つのダミービット線対）DBL1、/DBL1に接続されている。同様に、ダミーメモリセル列13内のダミーメモリセルは、ダミービット線対DBL1、/DBL1とは異なる1つのダミービット線対DBL2、/DBL2に接続されている。すなわち、本実施形態においては、2つのダミービット線対DBL1と/DBL1、及びDBL2と/DBL2を備えている。

## 【0019】

14はデコーダであり、ダミーワード線DWL及びワード線WLm（mは添え字であり、mは自然数）の一端が接続されている。デコーダ14は、タイミング制御回路16から供給される制御信号CTLAに基づいて、ダミーワード線DWLを駆動して活性化したり、ワード線WLmを選択的に駆動して活性化したりする。

## 【0020】

15はリード／ライトアンプであり、複数の図示しないセンスアンプ及びライトアンプを内部に有し、メモリセルが接続されたビット線対BLn、/BLn（nは添え字であり、nは自然数）の一端が接続されている。リード／ライトアンプ15は、タイミング制御回路16から供給される制御信号CTLBに基づいてセンスアンプを活性化させ、ビット線対BLn、/BLnに読み出された電位を



増幅して外部にデータDTとして出力する。また、リード／ライトアンプ15は、制御信号CTLBに基づいてライトアンプを活性化させ、外部から供給されるデータDTに応じた電位をビット線対BLn、／BLnに供給する。

#### 【0021】

タイミング制御回路16は、外部から入力される入力信号INS（アドレス信号、アクセス種別（リード／ライト）信号等を含む。）に基づいて制御信号CTLA、CTLBを出力し、デコーダ14及びリード／ライトアンプ15をそれぞれ制御する。タイミング制御回路16は、ダミービット線対DBL1、／DBL1、及びDBL2、／DBL2のそれぞれ一端が接続されており、当該ダミービット線対により供給される信号（ダミービット線対の電位等）に基づいて、上記制御信号CTLA、CTLBを適切なタイミングで出力する。

#### 【0022】

ここで、上記制御信号CTLAには、行アドレス信号や、ダミーワード線DWL及びワード線WLmの駆動タイミングを指示する信号等が含まれる。また、上記制御信号CTLBには、センスアンプ及びライトアンプをそれぞれ活性化させるセンスアンプ活性化信号（センスアンプイネーブル信号）及びライトアンプ活性化信号（ライトアンプイネーブル信号）等が含まれる。

#### 【0023】

図2（A）、（B）は、メモリセルの構成例を示す図であり、（A）はダミーメモリセル列12での構成例を示し、（B）はダミーメモリセル列12、13とは異なるメモリセル列での構成例を示している。なお、ダミーメモリセル列13は、ダミーメモリセル列12と同じ構成である。

#### 【0024】

図2（A）において、DMC11、DMC12、DMC13、…はダミーメモリセルであり、ダミーメモリセルDMC11が上記図1に示したタイミング制御回路16に対して最も遠い位置にあり、ダミーメモリセルDMC11、DMC12、DMC13、…の順にタイミング制御回路16との間の配線長が短くなる。本実施形態では、タイミング制御回路16に対する配線長が長い側から（負荷が大きい）順に2つのダミーメモリセルDMC11、DMC12のみを使用（駆動

）し、他のダミーメモリセルDMC 1 3、…は使用しない。なお、ダミーメモリセル列内にて使用（駆動）するダミーメモリセルの数は、予め設計工程でのシミュレーション等により決定される。

#### 【 0 0 2 5 】

ダミーメモリセルDMC 1 1、DMC 1 2 の構成は同じであるので、以下ではダミーメモリセルDMC 1 1 について説明する。

Q 2、Q 4 は p チャネル MOS トランジスタであり、Q 3、Q 5、Q 6、Q 7 は n チャネル MOS トランジスタである。

#### 【 0 0 2 6 】

トランジスタ Q 2、Q 4 のソースは電源電圧 V D D にそれぞれ接続され、トランジスタ Q 3、Q 5 のソースはそれぞれ接地（G N D）されている。トランジスタ Q 2 のドレインとトランジスタ Q 3 のドレインとが接続され、トランジスタ Q 4 のドレインとトランジスタ Q 5 のドレインとが接続されている。トランジスタ Q 2、Q 3 のゲートは、トランジスタ Q 4、Q 5 のドレインの相互接続点に接続され、トランジスタ Q 4、Q 5 のゲートは、トランジスタ Q 2、Q 3 のドレインの相互接続点に接続されている。すなわち、トランジスタ Q 2、Q 3、及びトランジスタ Q 4、Q 5 によりそれぞれインバータが構成され、それぞれのインバータの入力端子と出力端子とがクロスカップリング（交差結合）されている。

#### 【 0 0 2 7 】

また、トランジスタ Q 6 及び Q 7 のソースは、トランジスタ Q 2、Q 3 のドレインの相互接続点及びトランジスタ Q 4、Q 5 のドレインの相互接続点にそれぞれ接続されている。トランジスタ Q 6、Q 7 のゲートは、ダミーワード線 D W L にそれぞれ接続され、トランジスタ Q 6、Q 7 のドレインは、ダミービット線 D B L 1、／ D B L 1 にそれぞれ接続されている。

また、トランジスタ Q 4、Q 5 のドレインの相互接続点が電源電圧 V D D に接続されている。

#### 【 0 0 2 8 】

一方、使用しない他のダミーメモリセルDMC 1 3、…は、上述したトランジスタ Q 6、Q 7 にそれぞれ対応する n チャネル MOS トランジスタ Q 8、Q 9 が

常にOFF状態になるように、トランジスタQ8、Q9のゲートがそれぞれ接地（GND）されていること、及び上述したトランジスタQ2、Q3にそれぞれ対応するトランジスタのドレインの相互接続点が電源電圧VDDに接続されていることが異なるだけで、上述したダミーメモリセルDMC11と構成は同じである。

#### 【0029】

なお、pチャネルMOSトランジスタQ1は、ダミービット線DBL1、／DBL1を等電位にするためのものであり、ゲートがイコライズ信号EQを供給するための信号線に接続され、ソース及びドレインがダミービット線DBL1、／DBL1にそれぞれ接続されている。

#### 【0030】

図2（B）において、MC11、MC12、MC13、…は、データを記憶するためのメモリセルである。メモリセルMC11、MC12、MC13、…は、それぞれ接続されるワード線WL1、WL2、WL3、…が異なるだけで、他の構成は同じであるので、以下ではメモリセルMC11について説明する。

Q12、Q14はpチャネルMOSトランジスタであり、Q13、Q15、Q16、Q17はnチャネルMOSトランジスタである。

#### 【0031】

トランジスタQ12、Q14のソースは電源電圧VDDにそれぞれ接続され、トランジスタQ13、Q15のソースはそれぞれ接地（GND）されている。トランジスタQ12、Q13のドレインが接続され、その相互接続点にトランジスタQ14、Q15のゲートがそれぞれ接続されている。同様に、トランジスタQ14、Q15のドレインが接続され、その相互接続点にトランジスタQ12、Q13のゲートがそれぞれ接続されている。すなわち、トランジスタQ2、Q3、及びトランジスタQ4、Q5によりそれぞれ構成されるインバータの入力端子と出力端子とがクロスカップリング（交差結合）されている。

#### 【0032】

また、トランジスタQ16及びQ17のソースは、トランジスタQ12、Q13のドレインの相互接続点及びトランジスタQ14、Q15のドレインの相互接

続点にそれぞれ接続されている。トランジスタ Q16、Q17 のゲートは、ワード線 WL1 にそれぞれ接続され、トランジスタ Q16、Q17 のドレインは、ビット線 BL1、 $\neg$ BL1 にそれぞれ接続されている。

なお、p チャネル MOS トランジスタ Q11 は、ゲートがイコライズ信号 EQ を供給するための信号線に接続され、ソース及びドレインがビット線 BL1、 $\neg$ BL1 にそれぞれ接続されている。

#### 【0033】

図3 (A)、(B) は、ダミービット線の接続例を示す図である。この図3 (A)、(B) において、図1 に示したブロック等と同一の機能を有するブロック等には同一の符号を付し、重複する説明は省略する。

#### 【0034】

図3 (A) は、ダミーメモリセル列 12、13 のダミービット線をタイミング制御回路 16 にそれぞれ接続した例を示す図である。

ここで、SRAM におけるダミービット線対を用いた動作タイミングの制御では、一般にダミーメモリセルにて高電位が入力される側のインバータの出力が接続されたダミービット線での電位変化を検出して行う。したがって、ダミービット線対 DBL1、 $\neg$ DBL1 及び DBL2、 $\neg$ DBL2 は、動作時に電位変化が生ずる少なくとも一方のダミービット線をそれぞれ用いれば良いので、図3 (A) においては、ダミービット線 DBL1、DBL2 (動作時には電位がハイレベルからロウレベルに変化するものとする。) をタイミング制御回路 16 に接続している。

#### 【0035】

図3 (A) において、DMC1、DMC2 はダミーメモリセルであり、ダミービット線対 DBL1、 $\neg$ DBL1 及び DBL2、 $\neg$ DBL2 にそれぞれ接続されているダミーメモリセルの中からタイミング制御回路 16 に対する配線長が長い側から順に選択された所定の数のダミーメモリセルである。

また、31 は否定論理和 (NOR) 回路であり、入力端子にダミービット線 DBL1、DBL2 がそれぞれ接続されている。NOR 回路 31 は、演算結果をタイミング生成信号 TIM として出力する。

**【0036】**

図3 (A) に示したようにダミービット線を接続した場合には、ダミービット線DBL 1、DBL 2の電位がともにロウレベル (NOR回路31の論理閾値電圧以下) に達した後に、タイミング生成信号TIMがロウレベルからハイレベルに変化する、つまり、すべてのダミービット線DBL 1、DBL 2の電位が所定の電位以下になると、タイミング生成信号TIMの信号レベルが反転する。すなわち、ダミービット線DBL 1、DBL 2において、信号 (電位) 変化が最も遅いダミービット線が選択され、選択されたダミービット線に基づいてタイミング生成信号TIMが変化するので、動作の安定化を図ることができる。

**【0037】**

図3 (B) は、ダミーメモリセル列12、13のそれぞれのダミービット線を直列に接続してタイミング制御回路16に接続した例を示す図である。

図3 (B) に示すようにダミービット線を直列に接続する場合には、ダミーメモリセル列12、13のダミービット線対を対応関係 (相補の関係) が同じになるように直列に接続し、接続したダミービット線対DBL、/DBLの一端をタイミング制御回路16に接続する。また、ダミーメモリセルDMC 1、DMC 2は、ダミービット線対DBL、/DBLにおいてタイミング制御回路16に対する配線長が長い側から順に所定の数のダミーメモリセルをダミーメモリセル列12、13にてそれぞれ選択する。

**【0038】**

上記図3 (B) に示したようにダミービット線を接続した場合には、ダミーメモリセル列12、13のダミービット線対を対応付けて直列に接続するだけで良いので、図3 (A) に示したNOR回路31等の回路素子をタイミング制御回路16内に設ける必要がなく、図3 (A) に示した接続例に比べて回路構成を単純化することができる。

**【0039】**

次に、動作について説明する。

図4は、本実施形態による半導体記憶装置でのリード動作を示すタイミングチャートである。図4において、CLKはクロック信号、TIMはタイミング生成

信号、SAEはセンスアンプ活性化信号、DTはデータ信号である。また、DWL、DBL（／DBL）及びWLは、ダミーワード線、ダミービット線及びワード線の電位変化を示す波形である。

#### 【0040】

まず、メモリセルへのリードアクセスを要求する入力信号INSが外部から入力され、クロック信号CLKが立ち上がると、タイミング制御回路16は、制御信号CTLB内のプリチャージ信号PREを不活性化（ハイレベルに）してリード／ライトアンプ15に出力する。これにより、ビット線BLn、／BLnがフローティング状態になる。なお、ビット線BLn、／BLnは、プリチャージ信号PREが不活性化される前に電源電圧VDDにプリチャージされているとする。

#### 【0041】

また、タイミング制御回路16は、制御信号CTLAをデコーダ14に出力し、ダミーワード線DWLの活性化を指示する。デコーダ14は、制御信号CTLAに従い、ダミーワード線DWLを活性化（ハイレベルに）する（時刻T1）。

#### 【0042】

これにより、図2（A）に示したダミーメモリセルDMC11、DMC12において、トランジスタQ6、Q7がON（オン）状態になる。ここで、ダミーメモリセルDMC11、DMC12内のトランジスタQ3、Q4は常にON状態であるとともに、トランジスタQ2、Q5は常にOFF（オフ）状態である。したがって、トランジスタQ6、Q7がON状態になることで、図4に示すようにダミービット線DBLの電位は電源電圧VDDから時間の経過とともに低くなり（最低電位はGND）、ダミービット線／DBLの電位は電源電圧VDDを維持する。

そして、ダミービット線DBLの電位と電源電圧VDDとの電位差が所定の電位差Vaより大きくなると、タイミング生成信号TIMが活性化（ハイレベルに）される（時刻T2）。

#### 【0043】

一方、タイミング制御回路16は、プリチャージ信号PREを不活性化した後

、メモリセルを選択するためのアドレス情報（行アドレス）を含む制御信号CTLAをデコーダ14に出力する。デコーダ14は、供給された制御信号CTLAに基づいて、何れか1つのワード線WLを選択的に活性化（ハイレベルに）する。これにより、活性化されたワード線WLに接続されたメモリセルにおいて、図2（B）に示したトランジスタQ16、Q17に対応するトランジスタがON状態になり、ビット線対BLn、/BLnに電位（データ）が読み出される。なお、ワード線WLを選択的に活性化する時刻は、ダミーワード線DWLを選択的に活性化する時刻と同じであっても良いし、異なっても良い。

#### 【0044】

タイミング生成信号TIMが活性化されて所定の時間が経過した後、タイミング制御回路16は、制御信号CTLB内のセンスアンプ活性化信号SAEを活性化（ハイレベルに）してリード／ライトアンプ15に出力する。これにより、リード／ライトアンプ15内のセンスアンプが活性化され、ビット線対BLn、/BLnに読み出された電位を増幅して外部にデータDTとして出力する。

#### 【0045】

さらに所定の時間が経過した後、タイミング制御回路16は、センスアンプ活性化信号SAEを不活性化してリード／ライトアンプ15に出力し、リード／ライトアンプ15内のセンスアンプを不活性化させる。また、タイミング制御回路16は、ワード線WLの不活性化をデコーダ14に指示し、すべてのワード線WLを不活性化させる。さらに、タイミング制御回路16は、プリチャージ信号PREを活性化してリード／ライトアンプ15に出力する。その後、タイミング制御回路16は、ダミーワード線DWLの不活性化をデコーダ14に指示し、ダミーワード線DWLを不活性化させる。

#### 【0046】

これにより、次の動作のためにビット線BLn、/BLnがともに電源電圧VDDにプリチャージされる。このとき、ダミービット線DBLの電位と電源電圧VDDとの電位差が所定の電位差Vaより小さくなり、タイミング生成信号TIMは不活性化される。以上のようにしてリード動作が行われる。

#### 【0047】

なお、ライト動作は、タイミング生成信号TIMに関わらず、制御信号CTLB内のライトアンプ活性化信号WAEを活性化してリード／ライトアンプ15内のライトアンプを活性化させ、ビット線対BL<sub>n</sub>、／BL<sub>n</sub>に外部から供給されるデータDTに応じた電位を供給し、タイミング生成信号TIMに基づいてライトアンプ活性化信号WAEを不活性化することが異なるだけで、上述したリード動作と同様に制御されるので説明は省略する。

#### 【0048】

以上、詳しく説明したように本実施形態によれば、複数のビット線対BL<sub>n</sub>、／BL<sub>n</sub>とともに、タイミング制御回路16に対して最も近接するように2つのダミービット線対DBL1と／DBL1、DBL2と／DBL2を隣り合わせてメモリセルアレイ11に配置する。タイミング制御回路16は、ダミービット線対DBL1、DBL2（／DBL1、／DBL2）の信号変化に基づいて、ビット線対BL<sub>n</sub>、／BL<sub>n</sub>に接続されたメモリセルにアクセスするための各信号の駆動タイミングを制御する。

これにより、2つのダミービット線対DBL1、DBL2（／DBL1、／DBL2）により、メモリセルアレイ11内の2つの位置におけるプロセスばらつきの影響を検出してメモリセルの駆動タイミングを制御することができ、ダミービット線対を1つのみ用いた場合と比較して、プロセスばらつきが半導体記憶装置の動作に及ぼす影響を緩和し、駆動タイミングを適切に制御することができる。

#### 【0049】

また、タイミング制御回路16に対して最も近接するように2つのダミービット線対DBL1と／DBL1、DBL2と／DBL2を配置することにより、ダミービット線対DBL1、DBL2（／DBL1、／DBL2）における電位変化のタイミング制御回路16への伝達が、メモリセルアレイ11の他の位置に配置したときよりも速くなるので、高速動作に非常に適している。

なお、本実施形態においては、2つのダミービット線対DBL1、DBL2を用いた場合について説明したが、本発明でのダミービット線対の数は2つに限られず、ダミービット線対の数が3つ以上であっても良い。



**【0050】**

図5 (A) ~ (D) は、第1の実施形態による半導体記憶装置の他の構成例を示すブロック図である。なお、この図5 (A) ~ (D) において、図1に示したブロック等と同一の機能を有するブロック等には同一の符号を付し、重複する説明は省略する。また、図1に示したブロック等と同一ではないが対応する機能を有するブロック等には、同じ符号に' を付している。また、図5 (A) ~ (D) においては、各機能ブロック間にて授受される信号、ワード線（ダミーワード線を含む。）及びビット線（ダミービット線を含む。）は、上記図1に示した半導体記憶装置と同様であるので省略する。

**【0051】**

図5 (A) において、ダミーメモリセル列52、53（ダミービット線対DBL1と／DBL1、DBL2と／DBL2）は、タイミング制御回路16に対する距離が他のメモリセル列よりも大きくなる（配線長が長くなる）ようにメモリセルアレイ51内に併設される。すなわち、ダミーメモリセル列52、53は、タイミング制御回路16に対して最も遠くなるようにメモリセルアレイ51に配置される。

**【0052】**

図5 (A) に示したように、メモリセルアレイ51において、タイミング制御回路16に対して最も遠隔な位置に2つのダミーメモリセル列（ダミービット線対）を配置することにより、プロセスばらつきが半導体記憶装置の動作に及ぼす影響を緩和し、駆動タイミングを適切に制御することができるとともに、ダミービット線対における電位変化のタイミング制御回路16への伝達が、メモリセルアレイ11の他の位置に配置したときよりも遅くなるので、適切かつ十分なタイミングマージンを設けることができ、より確実なメモリセルの駆動を実現することができる。

**【0053】**

図5 (B) において、ダミーメモリセル列55、56（ダミービット線対DBL1と／DBL1、DBL2と／DBL2）は、距離L1とL2とが略同じになるようにメモリセルアレイ54の中央部に併設される。

図5 (B) に示したように構成することにより、プロセスばらつきが半導体記憶装置の動作に及ぼす影響を緩和し、駆動タイミングを適切に制御することができるとともに、メモリセルの駆動における高速性及び確実性の双方を備えた半導体記憶装置を構成することができる。

#### 【0054】

図5 (C) において、ダミーメモリセル列58 (例えば、ダミービット線対DBL1と／DBL1) は、ダミーメモリセル列58とは異なる他のメモリセル列と比較してタイミング制御回路16に対する配線長が短くなるようにメモリセルアレイ57に配置される。また、ダミーメモリセル列59 (例えば、ダミービット線対DBL2と／DBL2) は、ダミーメモリセル列59とは異なる他のメモリセル列と比較してタイミング制御回路16に対する配線長が長くなるようにメモリセルアレイ57に配置される。

#### 【0055】

図5 (C) に示したように、メモリセルアレイ57の両端の位置に2つのダミーメモリセル列 (ダミービット線対) を配置することにより、プロセスばらつきが半導体記憶装置の動作に及ぼす影響を緩和し、駆動タイミングを適切に制御することができるとともに、例えばメモリセル列の数が非常に多く、大きな記憶容量を有するメモリセルアレイにて生じ易いと考えられるメモリセルアレイの両端における素子特性差に対応してメモリセルを選択駆動することができる。

#### 【0056】

図5 (D) において、ダミーメモリセル列61、62、63、64 (4つのダミービット線対) は、距離L3、L4、L5が略同じになるようにメモリセルアレイ60に配置される。すなわち、ダミーメモリセル列61～64は、所定の間隔でメモリセルアレイ60に配置される。

#### 【0057】

図5 (D) に示したように、ダミーメモリセル列 (ダミービット線対) を所定の間隔でメモリセルアレイ60に配置することにより、上記図1、図5 (A) ～ (C) にそれぞれ示した半導体記憶装置よりもメモリセルアレイにおける素子特性差を吸収することができ、プロセスばらつきが半導体記憶装置の動作に及ぼす

影響をさらに緩和し、駆動タイミングを適切に制御することができる。

#### 【0058】

図6は、ダミーメモリセルの他の構成例を示す図である。なお、この図6において、図2(A)に示した構成要素(回路素子)等と同一の機能を有する構成要素等には同一の符号を付し、重複する説明は省略する。

図2(A)に示したダミーメモリセルDMC11、DMC12においては、トランジスタQ2、Q3のゲートが、トランジスタQ4、Q5のドレインの相互接続点に接続され、トランジスタQ4、Q5のゲートが、トランジスタQ2、Q3のドレインの相互接続点に接続されている。

#### 【0059】

それに対して、図6に示すダミーメモリセルDMC11'、DMC12'では、トランジスタQ2、Q3のゲートは、電源電圧VDDにそれぞれ接続され、同様にトランジスタQ4、Q5のゲートは、電源電圧VDDにそれぞれ接続される。つまり、ダミーメモリセルDMC11'、DMC12'では、トランジスタQ2、Q3、及びQ4、Q5により構成されるインバータの入力端子と出力端子とをクロスカップリングさせずに、それぞれ独立したインバータとして動作させる。

また、ダミーメモリセルDMC13'においては、それぞれ2つのトランジスタにより構成されるインバータの入力端子と出力端子とをクロスカップリングさせずに、それぞれの入力端子が接地されている。

#### 【0060】

上記図6に示したようにダミーメモリセル列を構成することにより、メモリセルにアクセスする際に各信号の駆動タイミングの制御に用いるダミービット線として、ダミービット線対DBL1、/DBL1の双方のダミービット線を利用して、それらの信号変化に基づいて各信号の駆動タイミングを制御することができる。したがって、2つのダミービット線対を用いた場合と同様の効果が、半分の面積を要する1つのダミービット線対で得られることができ、回路面積を縮小することができる。

#### 【0061】

(第2の実施形態)

次に、本発明の第2の実施形態について説明する。

上述した第1の実施形態による半導体記憶装置においては、メモリセルアレイを1つ備えていたが、以下に説明する第2の実施形態による半導体記憶装置は、複数のメモリセルアレイを備える。

【0062】

図7(A)、(B)及び(C)は、本発明の第2の実施形態による半導体記憶装置の構成例を示すブロック図である。なお、この図7(A)～(C)において、各機能ブロック間にて授受される信号、ワード線(ダミーワード線を含む。)及びビット線(ダミービット線を含む。)は、上述した第1の実施形態における半導体記憶装置と同様であるので省略する。

【0063】

図7(A)において、71A、71Bはメモリセルアレイであり、14A、14Bはデコーダである。デコーダ14A、14Bは、メモリセルアレイ71A、71Bにそれぞれ対応している。また、74はタイミング制御回路であり、15はリード/ライトアンプである。

【0064】

メモリセルアレイ71Aは、メモリセルアレイ71A内の他のメモリセル列よりもタイミング制御回路74に対する配線長が短くなるようにして併設された2つのダミーメモリセル列72A、73Aを有している。同様に、メモリセルアレイ71Bは、メモリセルアレイ71B内の他のメモリセル列よりもタイミング制御回路74に対する配線長が短くなるようにして併設された2つのダミーメモリセル列72B、73Bを有している。

【0065】

また、タイミング制御回路74は、ダミーメモリセル列72A、73A内のダミーメモリセルが接続されたダミービット線対の一端が接続されているとともに、ダミーメモリセル列72B、73B内のダミーメモリセルが接続されたダミービット線対の一端が接続されている。

なお、メモリセルアレイ71A、71B、デコーダ14A、14B、リード/

ライトアンプ15及びタイミング制御回路74は、上述した第1の実施形態におけるメモリセルアレイ11、デコーダ14、リード／ライトアンプ15及びタイミング制御回路16とそれぞれ同様であるので、各ブロックの機能及び動作等については説明を省略する。

#### 【0066】

図7(B)に示す半導体記憶装置は、図7(A)に示した半導体記憶装置とは逆に、他のメモリセル列よりもタイミング制御回路74との配線長が長くなるようにして、メモリセルアレイ75A、75B内にそれぞれ2つのダミーメモリセル列76A、77A及び76B、77Bを併設させたものである。

#### 【0067】

なお、デコーダ14A、14Bは、メモリセルアレイ75A、75Bにそれぞれ対応している。また、タイミング制御回路74は、図7(A)に示したのと同様に、ダミーメモリセル列76A、77A内のダミーメモリセルが接続されたダミービット線対の一端が接続されているとともに、ダミーメモリセル列76B、77B内のダミーメモリセルが接続されたダミービット線対の一端が接続されている。

#### 【0068】

図7(C)に示す半導体記憶装置は、2つのダミーメモリセル列79A、80Aをメモリセルアレイ78Aの中央部に併設させるとともに、2つのダミーメモリセル列79B、80Bをメモリセルアレイ78Bの中央部に併設させたものである。

#### 【0069】

なお、デコーダ14A、14Bは、メモリセルアレイ78A、78Bにそれぞれ対応している。また、タイミング制御回路74は、ダミーメモリセル列79A、80A内のダミーメモリセルが接続されたダミービット線対の一端が接続されているとともに、ダミーメモリセル列79B、80B内のダミーメモリセルが接続されたダミービット線対の一端が接続されている。

#### 【0070】

上記図7(A)～(C)に示したように構成することにより、上述した第1の

実施形態にて図 1、図 5 (A)、図 5 (B) にそれぞれ示した半導体記憶装置と同様の効果がそれぞれ得られる。

#### 【0071】

なお、図示していないが、上記図 5 (C) に示したようにそれぞれのメモリセルアレイの両端の位置に 2 つのダミーメモリセル列 (ダミービット線対) を配置するようにしても良いし、上記図 5 (D) に示したようにそれぞれのメモリセルアレイに所定の間隔でダミーメモリセル列 (ダミービット線対) を配置するようにしても良いことは言うまでもない。このように構成した場合には、上記図 5 (C)、図 5 (D) にそれぞれ示した半導体記憶装置と同様の効果がそれぞれ得られる。

#### 【0072】

なお、上述した実施形態においては、メモリセルアレイがそれぞれ有するダミービット線対の数が 2 つ (図 1、図 5 (A) ~ (C)、図 7)、または 4 つ (図 5 (D)) の場合について示したが、本発明はこれに限定されず、メモリセルアレイがそれぞれ有するダミービット線対の数は、任意の複数である。

#### 【0073】

ここで、例えば、上記図 5 (C) に示すようにメモリセルアレイの両端にダミービット線対をそれぞれ配置する場合には、複数のダミービット線対を略同数の 2 組に (一方が  $n$  個の場合には、他方が  $(n \pm 1)$  個となるように) 分けて、各組のダミービット線対をメモリセルアレイの両端に配置すれば良い。また、例えば、上記図 5 (D) に示すように複数のダミービット線対を所定の間隔でメモリセルアレイに配置する場合には、所定の間隔毎に 1 つのダミービット線対を配置するようにしても良いし、複数のダミービット線対を 1 組にして所定の間隔毎に配置するようにしても良い。

#### 【0074】

また、上述した実施形態では、SRAM を一例として説明しているためにメモリセルの駆動タイミングの制御にはダミービット線対を用いている。しかしながら、1 つのメモリセルが 1 つのビット線に接続される場合にはダミービット線を用い、1 つのメモリセルが 2 つのビット線、つまり 1 つのビット線対に接続され

る場合にはダミービット線対を用いることで上述した実施形態による効果と同様の効果が得られる。なお、ダミービット線対を用いる場合には、上述したように一方のダミービット線を用いるようにしても良いし、双方のダミービット線を用いるようにしても良い。

#### 【0075】

また、上述した実施形態では、半導体記憶装置の一例としてSRAMを用いて説明したが、本発明はこれに限らず、ビット線を有するメモリセルアレイを用いた半導体メモリ（例えば、DRAM（dynamic random access memory））等の任意の半導体記憶装置に適用可能である。

#### 【0076】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

本発明の諸態様を付記として以下に示す。

#### 【0077】

（付記1）外部から入力される入力信号に応じてメモリセルを選択駆動し、データを出力または入出力する半導体記憶装置であって、

互いに隣り合うように配置された複数のダミービット線及び複数のビット線を有し、上記複数のダミービット線に互いに異なるダミーメモリセルがそれぞれ接続され、上記複数のビット線に互いに異なる上記メモリセルがそれぞれ接続されたメモリセルアレイと、

上記ビット線に接続されたメモリセルを選択して駆動する際、上記複数のダミービット線を介して供給される信号に基づいて駆動動作のタイミングを制御するタイミング制御回路とを備えることを特徴とする半導体記憶装置。

（付記2）上記メモリセルアレイは、任意の上記ビット線よりも上記タイミング制御回路に対して近接する位置に上記複数のダミービット線が隣り合って配置されていることを特徴とする付記1に記載の半導体記憶装置。

（付記3）上記メモリセルアレイは、任意の上記ビット線よりも上記タイミング

制御回路に対して遠隔な位置に上記複数のダミービット線が隣り合って配置されていることを特徴とする付記 1 に記載の半導体記憶装置。

(付記 4) 上記メモリセルアレイは、上記複数のダミービット線が隣り合って配置されているとともに、上記隣り合って配置された複数のダミービット線の両側に上記複数のビット線が配置されていることを特徴とする付記 1 に記載の半導体記憶装置。

(付記 5) 上記メモリセルアレイは、上記複数のダミービット線が 2 組に分けられ、任意の上記ビット線よりも上記タイミング制御回路に対して近接する位置及び遠隔な位置に、それぞれの組のダミービット線が隣り合って配置されていることを特徴とする付記 1 に記載の半導体記憶装置。

(付記 6) 上記複数のダミービット線を  $N$  本 ( $N$  は自然数) のダミービット線の組と  $N$  本または  $(N+1)$  本のダミービット線の組との 2 組に分けることを特徴とする付記 5 に記載の半導体記憶装置。

(付記 7) 上記メモリセルアレイは、所定の間隔で上記ダミービット線が配置されていることを特徴とする付記 1 に記載の半導体記憶装置。

(付記 8) 上記メモリセルアレイは、上記複数のダミービット線が略同数のダミービット線の複数の組に分けられ、それぞれの組にてダミービット線が隣り合って配置されているとともに、複数のダミービット線の組が所定の間隔で配置されていることを特徴とする付記 1 に記載の半導体記憶装置。

(付記 9) 上記メモリセルアレイを複数備えることを特徴とする付記 1 ～ 8 の何れか 1 項に記載の半導体記憶装置。

(付記 10) 上記複数のダミービット線を直列に接続したことを特徴とする付記 1 ～ 9 の何れか 1 項に記載の半導体記憶装置。

(付記 11) 上記タイミング制御回路は、上記複数のダミービット線の中で信号変化がもっとも遅いダミービット線を介して供給される信号に基づいて駆動動作のタイミングを制御することを特徴とする付記 1 ～ 9 の何れか 1 項に記載の半導体記憶装置。

(付記 12) 上記タイミング制御回路は、上記複数のダミービット線を介して供給される信号に基づいてタイミング生成信号を生成し、生成したタイミング生成



信号に基づいて駆動動作のタイミングを制御することを特徴とする付記 10 または 11 に記載の半導体記憶装置。

(付記 13) 上記タイミング制御回路は、上記複数のダミービット線の一端がそれぞれ入力端子に接続され、上記複数のダミービット線を介して供給される信号の変化に応じて出力信号の信号レベルを反転する論理演算回路を有することを特徴とする付記 1～9 の何れか 1 項に記載の半導体記憶装置。

(付記 14) 上記タイミング制御回路は、上記複数のダミービット線の電位と基準電位との電位差に基づいて駆動動作のタイミングを制御することを特徴とする付記 1～9 の何れか 1 項に記載の半導体記憶装置。

(付記 15) 上記ダミーメモリセル及び上記メモリセルは、2つのインバータ回路をそれぞれ有し、当該2つのインバータ回路は入力端子と出力端子とがそれぞれ互いに交差結合され、上記ダミーメモリセルが有する2つのインバータ回路の入力端子が所定の電圧を供給する電源に対してさらに接続されていることを特徴とする付記 1～9 の何れか 1 項に記載の半導体記憶装置。

(付記 16) 上記ダミーメモリセル及び上記メモリセルは、2つのインバータ回路をそれぞれ有し、上記メモリセルが有する2つのインバータ回路は、入力端子と出力端子とがそれぞれ互いに交差結合され、上記ダミーメモリセルが有する2つのインバータ回路は、入力端子が所定の電圧を供給する電源に対してそれぞれ接続され、出力端子が異なるダミービット線にそれぞれ接続されていることを特徴とする付記 1～9 の何れか 1 項に記載の半導体記憶装置。

(付記 17) 上記ダミービット線にそれぞれ接続されたダミーメモリセルの中で、上記タイミング制御回路に対する上記ダミービット線での距離が遠い側から所定の個数のダミーメモリセルを選択して駆動することを特徴とする付記 1～9 の何れか 1 項に記載の半導体記憶装置。

(付記 18) 上記複数のダミービット線は、それぞれが2本のダミービット線で構成される複数のダミービット線対であり、上記ビット線は、それぞれが2本のビット線で構成されるビット線対であることを特徴とする付記 1～9 の何れか 1 項に記載の半導体記憶装置。

(付記 19) 上記タイミング制御回路は、ダミービット線対における一方のダミ

ービット線を介して供給される信号に基づいて駆動動作のタイミングを制御することを特徴とする付記 18 に記載の半導体記憶装置。

(付記 20) 上記メモリセルアレイは、上記ダミービット線に接続されたダミーメモリセルを選択して駆動するためのダミーワード線と、上記ビット線に接続されたメモリセルを選択して駆動するためのワード線とを有することを特徴とする付記 1～9 の何れか 1 項に記載の半導体記憶装置。

### 【0078】

#### 【発明の効果】

以上、説明したように本発明によれば、互いに異なるメモリセルが接続された複数のビット線とともに、互いに異なるダミーメモリセルが接続された複数のダミービット線をメモリセルアレイに配置し、タイミング制御回路が、複数のダミービット線を介して供給される信号に基づいて、メモリセルを選択駆動する際の駆動動作のタイミングを制御する。これにより、複数のダミービット線によりメモリセルアレイの複数の位置におけるプロセスばらつきの影響に応じて、メモリセルを選択駆動する駆動動作タイミングを制御することができ、1つのダミービット線を用いた場合と比較して、プロセスばらつきが半導体記憶装置の動作に及ぼす影響をさらに緩和し、動作タイミングを適切に制御することができる。

#### 【図面の簡単な説明】

##### 【図 1】

第 1 の実施形態による半導体記憶装置の構成例を示すブロック図である。

##### 【図 2】

メモリセル（ダミーメモリセル及び通常のメモリセル）の構成例を示す図である。

##### 【図 3】

複数のダミービット線の接続例を示す図である。

##### 【図 4】

第 1 の実施形態による半導体記憶装置での動作の一例を示すタイミングチャートである。

##### 【図 5】

第 1 の実施形態による半導体記憶装置の他の構成例を示すブロック図である。

【図 6】

ダミーメモリセルの他の構成例を示す図である。

【図 7】

第 2 の実施形態による半導体記憶装置の構成例を示すブロック図である。

【図 8】

従来のセルフタイミング型メモリの構成を示すブロック図である。

【符号の説明】

11 メモリセルアレイ

12、13 ダミーメモリセル列

14 デコーダ

15 リード／ライトアンプ

16 タイミング制御回路

DBL1、／DBL1、DBL2、／DBL2 ダミービット線

BL1、／BL1、BL2、／BL2 ビット線

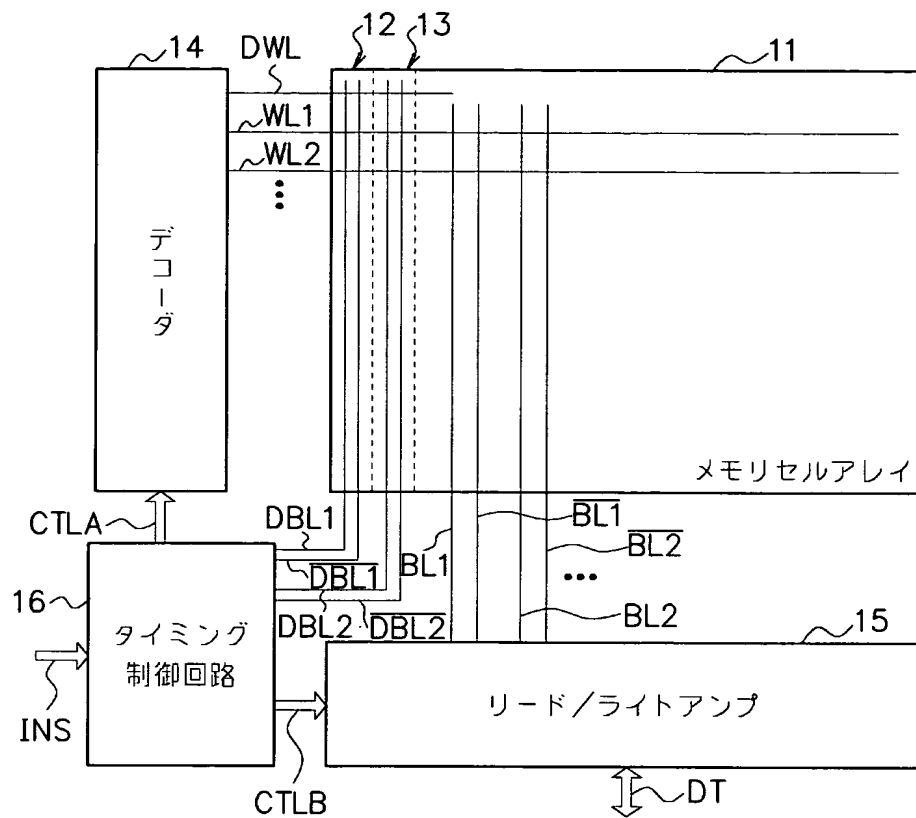
DWL ダミーワード線

WL1、WL2 ワード線

ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
 1050 Connecticut Avenue, N.W., Suite 400  
 Washington, D.C. 20036-5339  
 Docket No. 108390-00057  
 Serial No.: New Application Filed: November 25, 2003  
 Inventor: Katsuya YOSHIDA

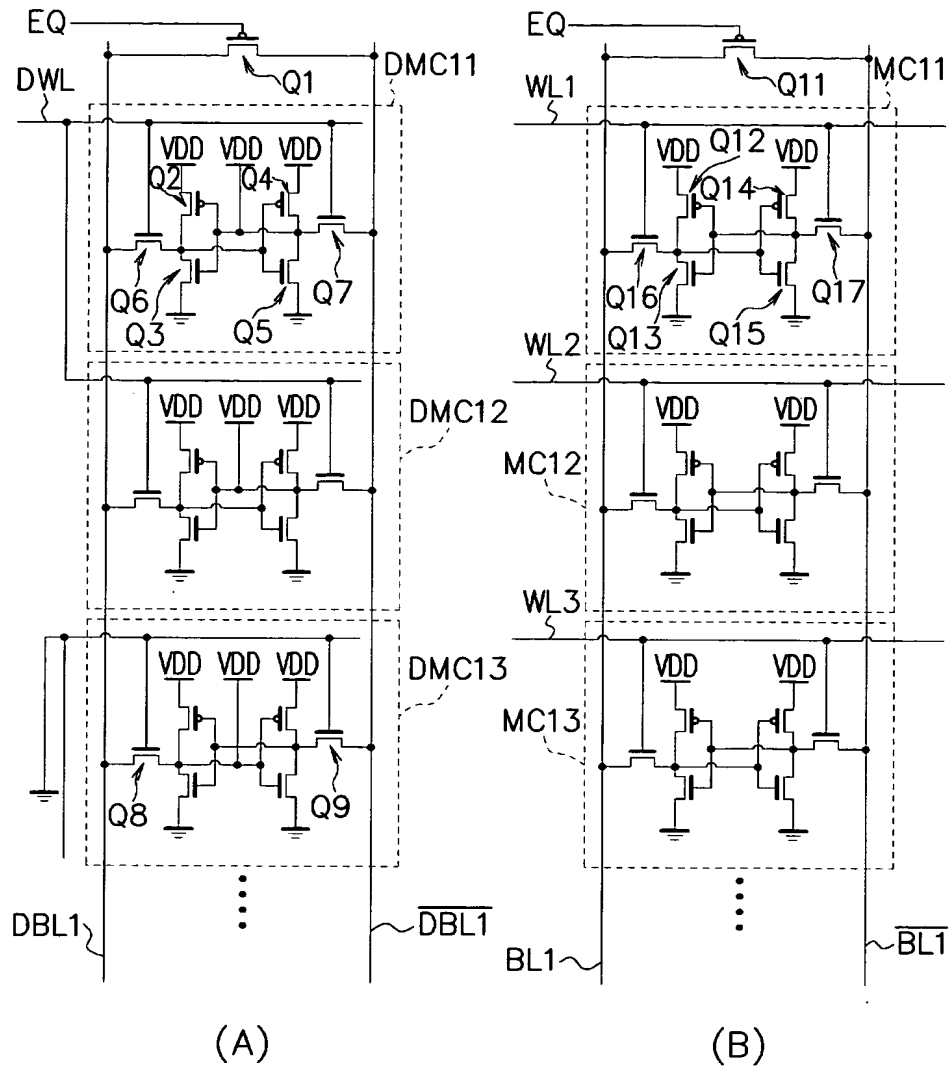
【書類名】

【図 1】



第 1 の実施形態

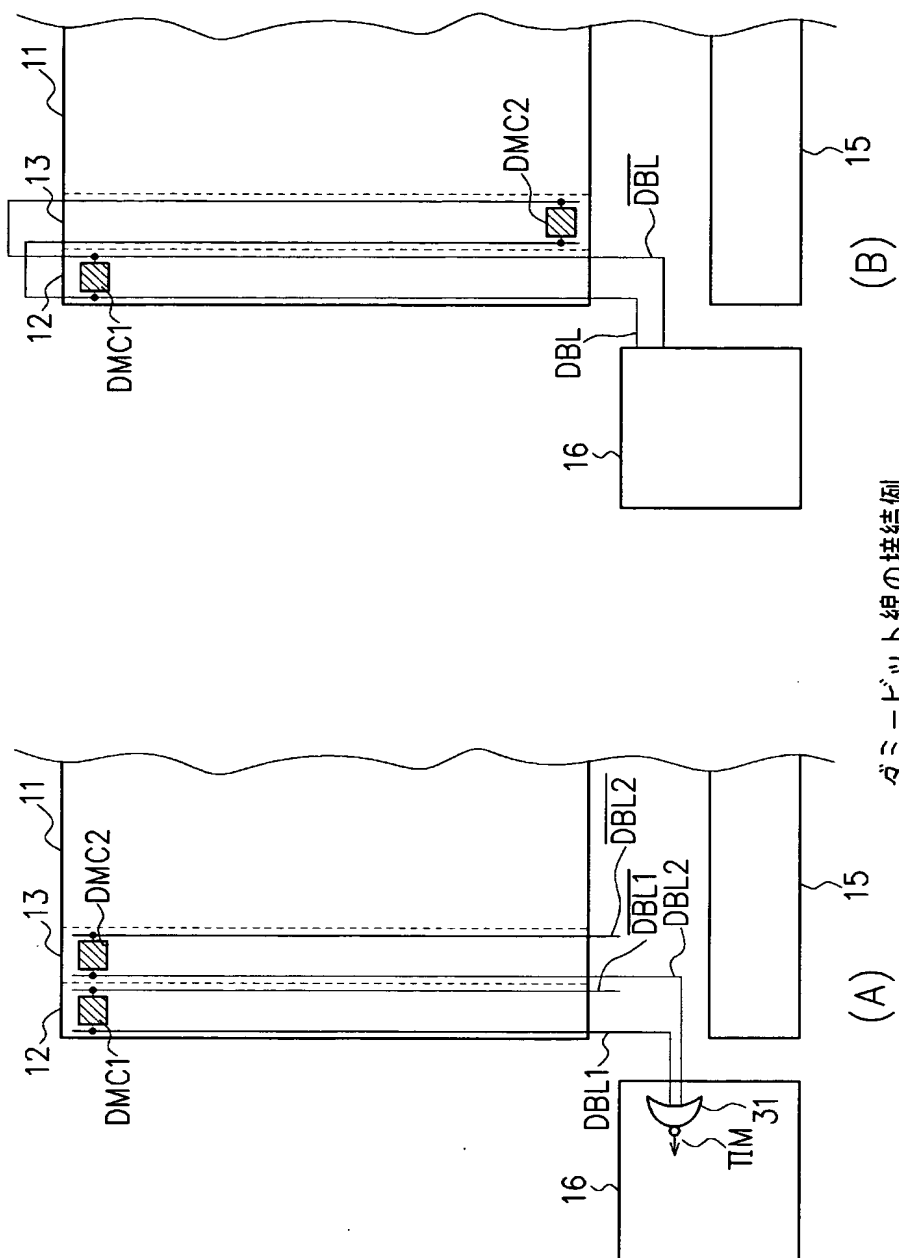
【図 2】



メモリセルの構成を示す図

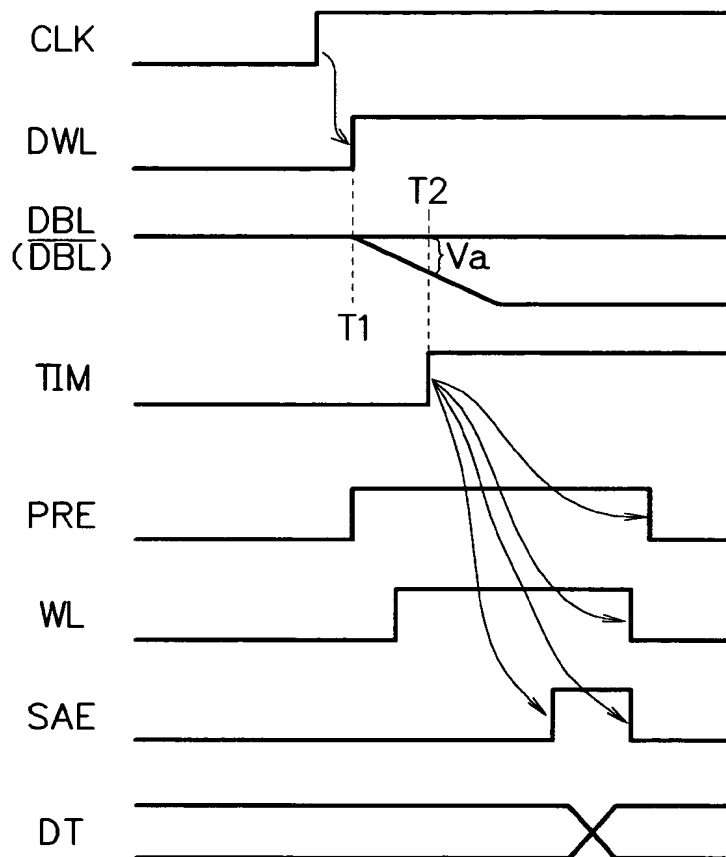
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W., Suite 400  
Washington, D.C. 20036-5339  
Docket No. 108390-00057  
Serial No.: New Application Filed: November 25, 2003  
Inventor: Katsuya YOSHIDA

【図 3】



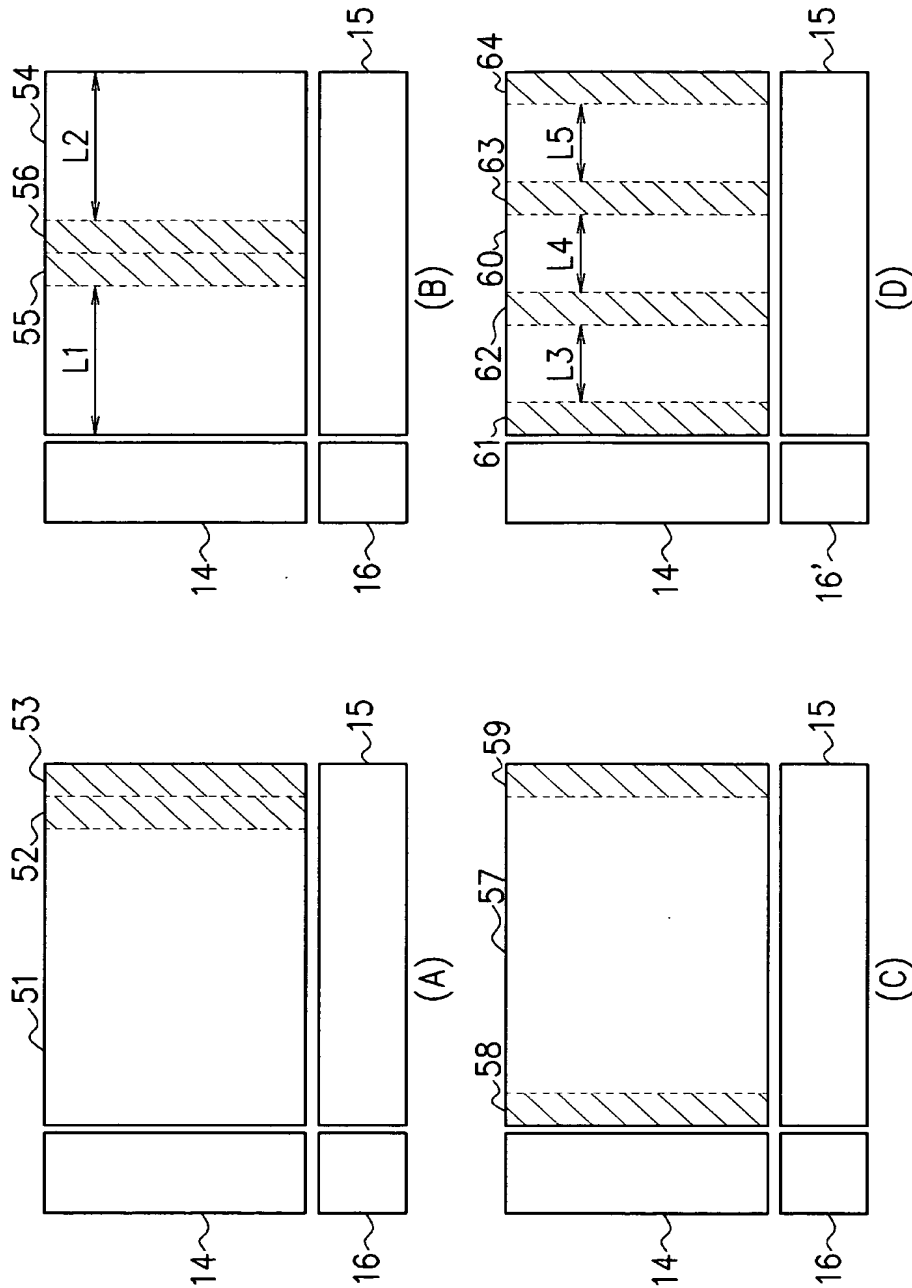
【図 4】

ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
 1050 Connecticut Avenue, N.W., Suite 400  
 Washington, D.C. 20036-5339  
 Docket No. 108390-00057  
 Serial No.: New Application Filed: November 25, 2003  
 Inventor: Katsuya YOSHIDA



リード動作におけるタイミングチャート

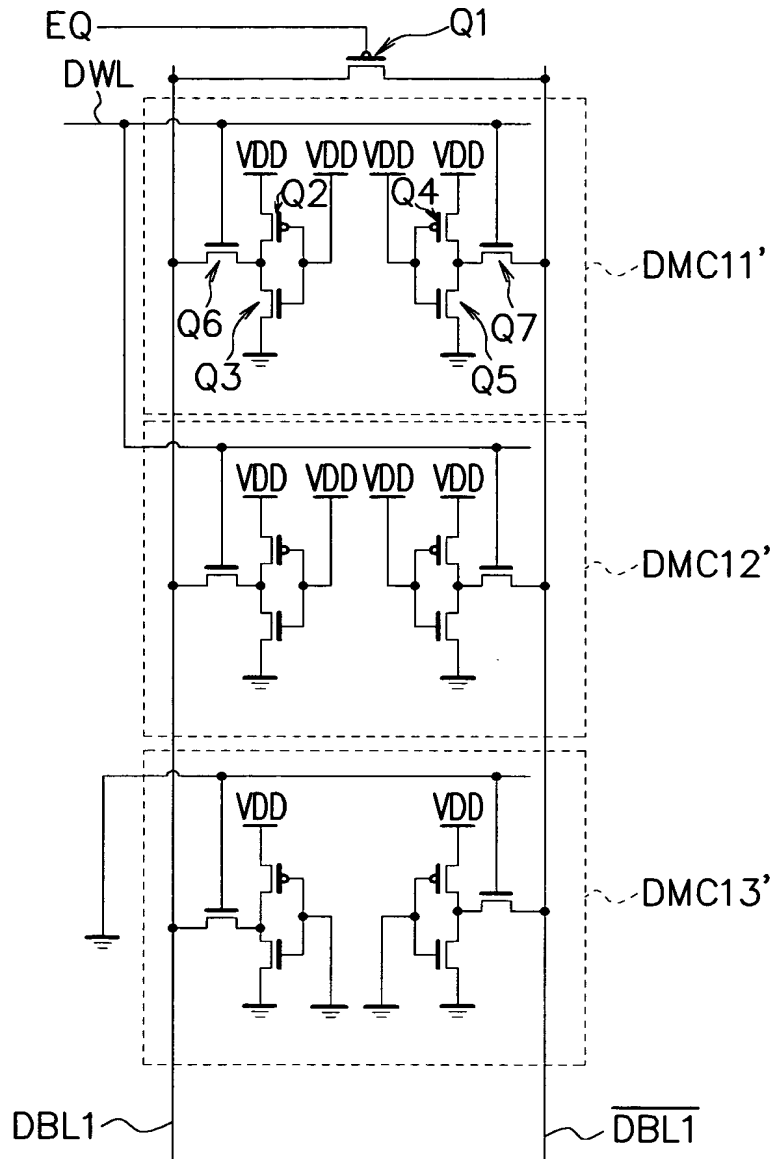
【図 5】



第 1 の実施形態の他の例

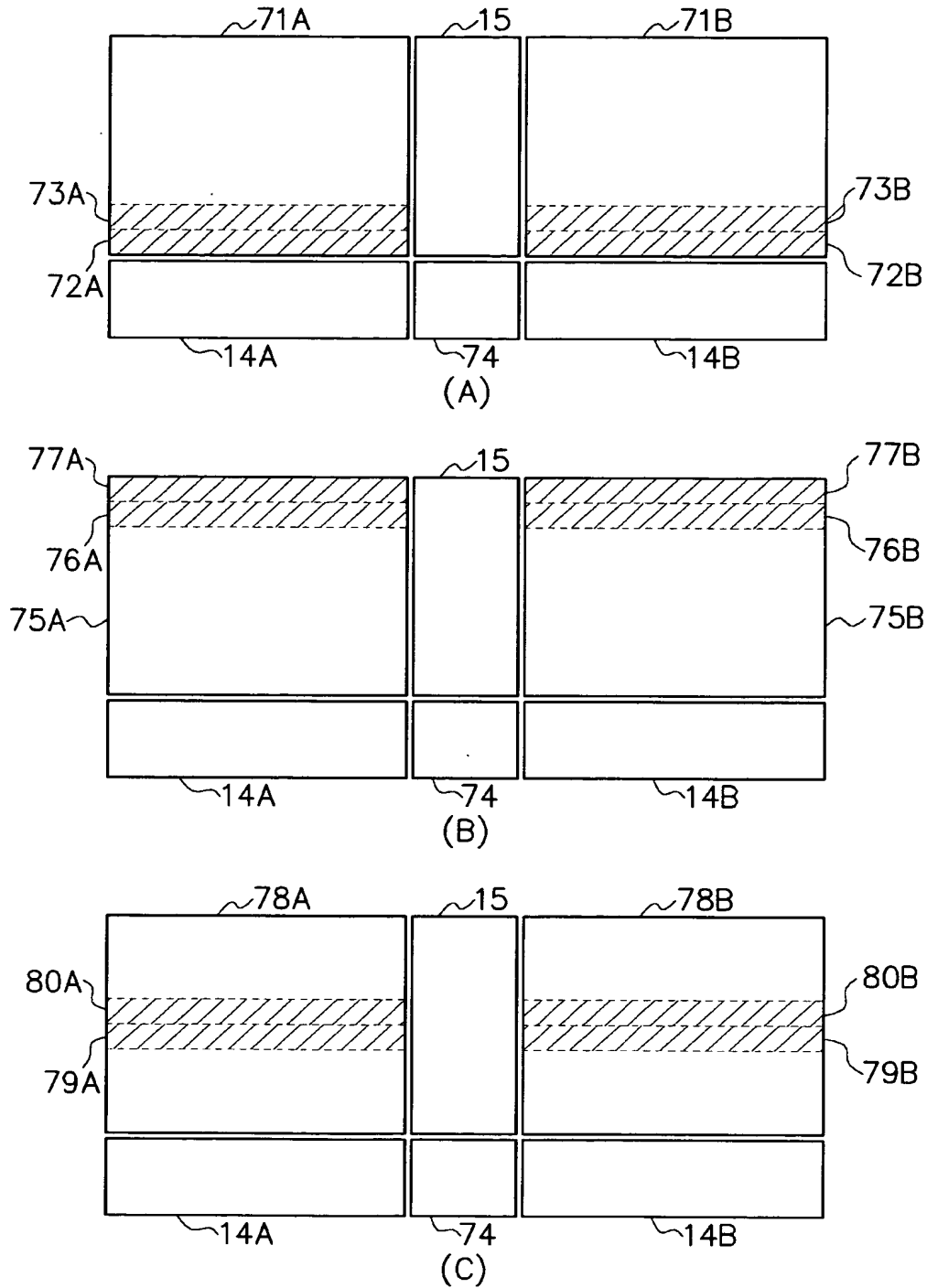


【図 6】



### ダミーメモリセルの他の構成例

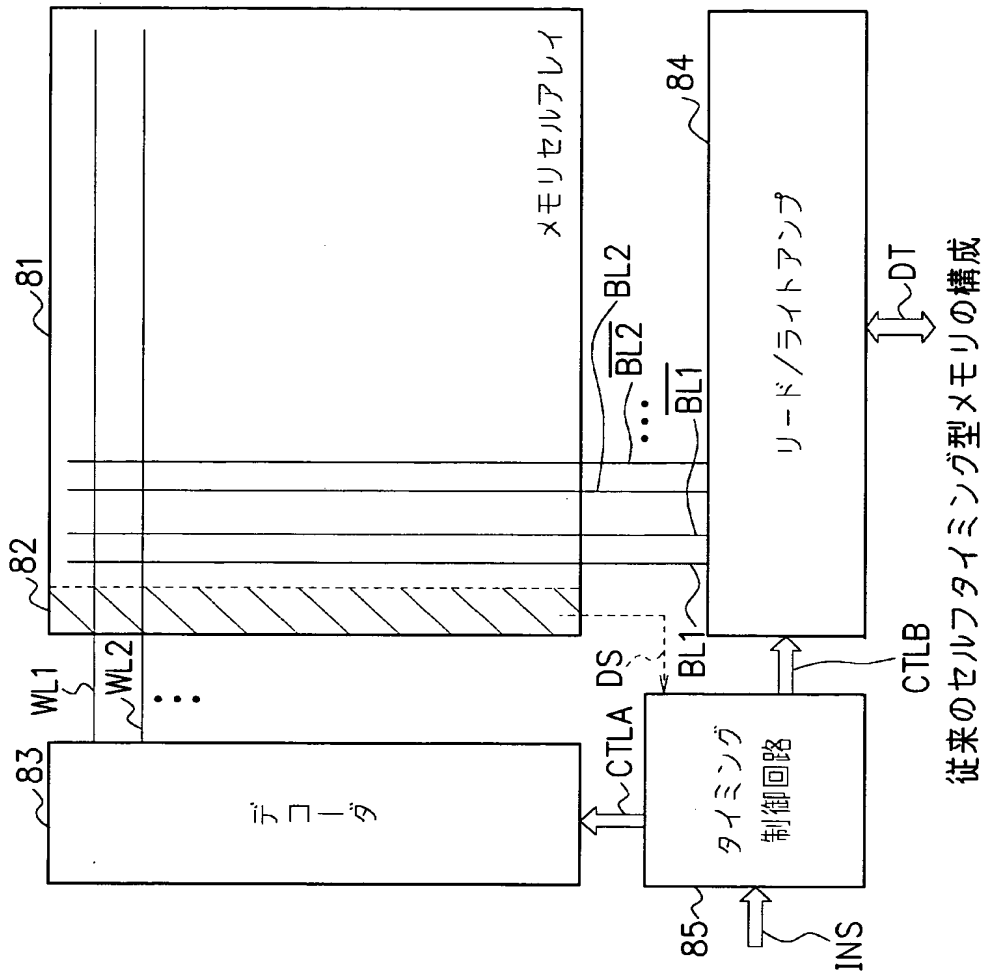
【図 7】



第2の実施形態

【図 8】

ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
 1050 Connecticut Avenue, N.W., Suite 400  
 Washington, D.C. 20036-5339  
 Docket No. 108390-00057  
 Serial No.: New Application Filed: November 25, 2003  
 Inventor: Katsuya YOSHIDA



【書類名】 要約書

【要約】

【課題】 プロセスばらつきが半導体メモリの動作に及ぼす影響をさらに緩和して、半導体メモリにおける動作タイミングを適切に制御できるようにする。

【解決手段】 複数のビット線対BL<sub>n</sub>、 $\overline{\text{BL}}_n$ とともに複数のダミービット線DBL、 $\overline{\text{DBL}}$ をメモリセルアレイ11に配置し、複数のダミービット線における信号変化に基づいて、タイミング制御回路16が、ビット線対BL<sub>n</sub>、 $\overline{\text{BL}}_n$ に接続されたメモリセルを選択駆動する際の駆動動作のタイミングを制御するようにして、メモリセルアレイ11の複数の位置におけるプロセスばらつきの影響を検出し、1つのダミービット線を用いた場合に比べて、プロセスばらつきが半導体記憶装置の動作に及ぼす影響をさらに緩和することができるようにする。

【選択図】 図1

特願 2 0 0 2 - 3 6 5 6 3 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社